

PGT/JP 2004/014712
REC'D 21 OCT 2004
WIPO PCT

日 本 国 特 許 庁
JAPAN PATENT OFFICE

29.9.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年10月 2日

出 願 番 号
Application Number: 特願2003-344256
[ST. 10/C]: [JP2003-344256]

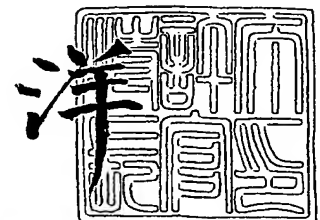
出 願 人
Applicant(s): パイオニア株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1 (a) OR (b)

2004年 7月 5日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

出証番号 出証特2004-3058131

【書類名】 特許願
【整理番号】 57P0742
【提出日】 平成15年10月 2日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/30
【発明者】
 【住所又は居所】 埼玉県鶴ヶ島市富士見 6 丁目 1 番 1 号 パイオニア株式会社 総合研究所内
 【氏名】 田辺 貴久
【特許出願人】
 【識別番号】 000005016
 【氏名又は名称】 パイオニア株式会社
【代理人】
 【識別番号】 100079119
 【弁理士】
 【氏名又は名称】 藤村 元彦
【手数料の表示】
 【予納台帳番号】 016469
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9006557

【書類名】 特許請求の範囲**【請求項 1】**

各々が発光素子と薄膜トランジスタとからなる複数の画素部を有するアクティブマトリックス表示パネルを備えた表示装置であって、

前記複数の画素部に電源電圧を供給する電源と、

入力画像信号に応じてフレーム毎に前記表示パネルの複数行のうちから 1 の行を所定のタイミングで順次指定して前記 1 の行内の各画素部に表示用走査パルスを供給し、前記表示用走査パルスの供給時に前記 1 の行内の発光すべき発光素子を含む選択画素部に前記薄膜トランジスタの第 1 のゲート電圧を示すデータパルスを個別に供給し、その後、前記 1 の行内の各画素部にリセット用走査パルスを供給し、前記リセット用走査パルスの供給時に前記選択画素部に前記薄膜トランジスタのゲート・ソース間電圧又はゲート・ドレイン間電圧を発光駆動時とは逆極性にせしめるための前記薄膜トランジスタの第 2 のゲート電圧を示すリセットパルスを個別に供給する表示制御手段と、を含み、

前記複数の画素部各々は、前記表示用走査パルスに応答して前記データパルスに対応した前記第 1 のゲート電圧を前記薄膜トランジスタのゲートに供給し、前記リセット用走査パルスに応答して前記リセットパルスに対応した前記第 2 のゲート電圧を前記薄膜トランジスタのゲートに供給する駆動部を有することを特徴とする表示装置。

【請求項 2】

前記第 1 のゲート電圧に応じた前記薄膜トランジスタのゲート・ソース間電圧又はゲート・ドレイン間電圧の絶対値は前記第 2 のゲート電圧に応じた前記薄膜トランジスタのゲート・ソース間電圧又はゲート・ドレイン間電圧の絶対値に等しいことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記第 2 のゲート電圧に応じた前記薄膜トランジスタのゲート・ソース間電圧又はゲート・ドレイン間電圧は固定電圧であることを特徴とする請求項 1 記載の表示装置。

【請求項 4】

各フレームは前記薄膜トランジスタのゲートに前記第 1 のゲート電圧が供給される表示モード期間と、前記薄膜トランジスタのゲートに前記第 2 のゲート電圧が供給されるリセットモード期間とを有することを特徴とする請求項 1 記載の表示装置。

【請求項 5】

1 のフレームで前記薄膜トランジスタのゲートに前記第 1 のゲート電圧が供給される表示モード期間であった画素部は次のフレームでは前記薄膜トランジスタのゲートに前記第 2 のゲート電圧が供給されるリセットモード期間となることを特徴とする請求項 1 記載の表示装置。

【請求項 6】

前記画素部は前記薄膜トランジスタからなる等価な 2 つの駆動回路を備え、前記 2 つの駆動回路は前記表示モードと前記リセットモードとを交互に切り替えることを特徴とする請求項 5 記載の表示装置。

【請求項 7】

各フレームにおいてサブフィールド法に基づいて表示モード期間と、前記リセットモード期間とが繰り返されることを特徴とする請求項 4 記載の表示装置。

【請求項 8】

前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 記載の表示装置。

【請求項 9】

前記薄膜トランジスタは、アモルファシスシリコン薄膜トランジスタであることを特徴とする請求項 1 記載の表示装置。

【請求項 10】

前記薄膜トランジスタは、有機半導体薄膜トランジスタであることを特徴とする請求項 1 記載の表示装置。

【請求項 1 1】

各々が発光素子と薄膜トランジスタとからなる複数の画素部を有するアクティブマトリックス表示パネルの駆動方法であって、

前記複数の画素部に電源電圧を供給し、

入力画像信号に応じてフレーム毎に前記表示パネルの複数行のうちから 1 の行を所定のタイミングで順次指定して前記 1 の行内の各画素部に表示用走査パルス进行供給し、前記表示用走査パルスの供給時に前記 1 の行内の発光すべき発光素子を含む選択画素部に前記薄膜トランジスタの第 1 のゲート電圧を示すデータパルスを個別に供給し、その後、前記 1 の行内の各画素部にリセット用走査パルスを供給し、前記リセット用走査パルスの供給時に前記選択画素部に前記薄膜トランジスタのゲート・ソース間電圧又はドレイン・ソース間電圧を発光駆動時とは逆極性にせしめるための前記薄膜トランジスタの第 2 のゲート電圧を示すリセットパルスを個別に供給し、

前記複数の画素部各々は、前記表示用走査パルスに応答して前記データパルスに対応した前記第 1 のゲート電圧を前記薄膜トランジスタのゲートに供給し、前記リセット用走査パルスに応答して前記リセットパルスに対応した前記第 2 のゲート電圧を前記薄膜トランジスタのゲートに供給することを特徴とする駆動方法。

【請求項 1 2】

前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 1 記載の表示装置。

【請求項 1 3】

前記薄膜トランジスタは、アモルファシスシリコン薄膜トランジスタであることを特徴とする請求項 1 1 記載の表示装置。

【請求項 1 4】

前記薄膜トランジスタは、有機半導体薄膜トランジスタであることを特徴とする請求項 1 1 記載の表示装置。

【書類名】 明細書

【発明の名称】 アクティブマトリックス表示パネルを備えた表示装置及びその駆動方法

【技術分野】

【0001】

本発明は、アクティブマトリックス表示パネルを備えた表示装置及びその駆動方法に関する。

【背景技術】

【0002】

発光素子を用いたアクティブマトリックス表示器には、画素毎の駆動素子として多結晶シリコン、アルモファスシリコン(a-Si)や有機半導体等を用いたTFT(Thin Film Transistor: 薄膜トランジスタ)が用いられている。アルモファスシリコン或いは有機半導体を用いたTFTは、ゲートに電圧を印加し続けるとゲートスレッショルド電圧 V_{th} がシフトする現象、すなわちゲートストレスがあることが知られている(例えば、非特許文献1参照)。この現象をPチャネルTFTを例に説明する。図1(a)及び(b)にゲートストレスによるゲートスレッショルド電圧 V_{th} のシフトの様子を示す。PチャネルTFTの場合には、ゲート・ソース間電圧 V_{gs} をマイナスにして印加し続けると、ゲートストレスによって時間経過と共にゲートスレッショルド電圧 V_{th} が図1(a)に示すようにマイナス方向に変化し、これにより、例えば、図1(b)に示すように V_{th1} から V_{th2} にシフトしていく。この変化は、 V_{gs} を0V若しくはプラスにして印加し続けることによって基の V_{th} に復帰する。逆に、 V_{gs} をプラスにして印加し続けると、時間経過と共に V_{th} はプラス方向にシフトし、その後、 V_{gs} を0V若しくはマイナスにして印加し続けることによって元の V_{th} に復帰する。シフト量は、 V_{gs} の絶対値及び印加時間が大きいほど大きくなる。このような特性を示すTFTを有機EL素子の駆動に用いると、表示中に徐々に V_{th} がシフトしていくことになる。

【非特許文献1】 S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw: APPLIED PHYSICS LETTERS VOLUME 79, NUMBER 8 20AUGUST 2001 "Bias stress in organic thin-film transistors and logic gates"

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来の駆動方法では、 V_{th} の初期値のばらつきに加えてゲートストレスによる V_{th} の変動まで見込んで駆動電圧、駆動条件を設定する必要があるため、駆動電圧の上昇を招き、消費電力の増大をもたらしていた。また、 V_{th} のばらつきが大きくなるに従って、それを補正する回路を用いたとしても駆動電流の誤差が大きくなり表示品質の低下をもたらすという欠点もあった。

【0004】

本発明が解決しようとする課題には、上記の欠点が一例として挙げられ、ゲートストレスを抑制して表示品質の低下を防止することができるアクティブマトリックス表示パネルを備えた表示装置及びその駆動方法を提供することが本発明の目的である。

【課題を解決するための手段】

【0005】

請求項1に係る発明の表示装置は、各々が発光素子と薄膜トランジスタとからなる複数の画素部を有するアクティブマトリックス表示パネルを備えた表示装置であって、前記複数の画素部に電源電圧を供給する電源と、入力画像信号に応じてフレーム毎に前記表示パネルの複数行のうちから1の行を所定のタイミングで順次指定して前記1の行内の各画素部に表示用走査パルスを供給し、前記表示用走査パルスの供給時に前記1の行内の発光すべき発光素子を含む選択画素部に前記薄膜トランジスタの第1のゲート電圧を示すデータパルスを個別に供給し、その後、前記1の行内の各画素部にリセット用走査パルスを供給し、前記リセット用走査パルスの供給時に前記選択画素部に前記薄膜トランジスタのゲート・ソース間電圧又はゲート・ドレイン間電圧を発光駆動時とは逆極性にせしめるための

前記薄膜トランジスタの第2のゲート電圧を示すリセットパルスを個別に供給する表示制御手段と、を含み、前記複数の画素部各々は、前記表示用走査パルスにตอบสนองして前記データパルスに対応した前記第1のゲート電圧を前記薄膜トランジスタのゲートに供給し、前記リセット用走査パルスにตอบสนองして前記リセットパルスに対応した前記第2のゲート電圧を前記薄膜トランジスタのゲートに供給する駆動部を有することを特徴としている。

【0006】

請求項11に係る発明の駆動方法は、各々が発光素子と薄膜トランジスタとからなる複数の画素部を有するアクティブマトリックス表示パネルの駆動方法であって、前記複数の画素部に電源電圧を供給し、入力画像信号に応じてフレーム毎に前記複数行のうちから1の行を所定のタイミングで順次指定して前記1の行内の各画素部に表示用走査パルスを供給し、前記表示用走査パルスの供給時に前記1の行内の発光すべき発光素子を含む選択画素部に前記薄膜トランジスタの第1のゲート電圧を示すデータパルスを個別に供給し、その後、前記1の行内の各画素部にリセット用走査パルスを供給し、前記リセット用走査パルスの供給時に前記選択画素部に前記薄膜トランジスタのゲート・ソース間電圧又はゲート・ドレイン間電圧を発光駆動時とは逆極性にせしめるための前記薄膜トランジスタの第2のゲート電圧を示すリセットパルスを個別に供給し、前記複数の画素部各々は、前記表示用走査パルスにตอบสนองして前記データパルスに対応した前記第1のゲート電圧を前記薄膜トランジスタのゲートに供給し、前記リセット用走査パルスにตอบสนองして前記リセットパルスに対応した前記第2のゲート電圧を前記薄膜トランジスタのゲートに供給することを特徴としている。

【発明を実施するための最良の形態】

【0007】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

【0008】

図2は本発明によるアクティブマトリックス表示パネルを用いた表示装置を示している。この表示装置は、表示パネル11、走査パルス供給回路12、データ信号供給回路13、及びコントローラ15を備えている。

【0009】

表示パネル11は、 $m \times n$ 個 (m, n は2以上の整数)の画素からなるアクティブマトリックス型のものであり、各々が平行に配置された複数のデータ線 $X_1 \sim X_m$ と、複数の走査線 $Y_1 \sim Y_n$ と、複数の画素部 $PL_{1,1} \sim PL_{m,n}$ を有している。画素部 $PL_{1,1} \sim PL_{m,n}$ は、データ線 $X_1 \sim X_m$ と走査線 $Y_1 \sim Y_n$ との交差部分に配置され、全て同一の構成を有する。また、画素部 $PL_{1,1} \sim PL_{m,n}$ は電源線Zに接続されている。電源線Zには電源(図示せず)から電源電圧(正電圧 V_{dd})が供給される。

【0010】

複数の画素部 $PL_{1,1} \sim PL_{m,n}$ 各々は図3に示すように、2つのTFT(薄膜トランジスタ)31, 32と、キャパシタ34と、有機EL(エレクトロルミネッセンス)素子35とを備えている。図3に示した画素部ではそこに関係するデータ線を X_i (i は1 $\sim m$ のうちのいずれか1)、走査線を Y_j (j は1 $\sim n$ のうちのいずれか1)としている。

【0011】

2つのTFT31, 32各々はPチャネルのものである。TFT31のゲートは走査線 Y_j に接続され、そのソースはデータ線 X_i に接続されている。TFT31のドレインにはキャパシタ34の一端と駆動TFT32のゲートとが接続されている。キャパシタ34の他端とTFT32のソースとは電源線Zに接続されている。TFT32のドレインはEL素子35のアノードに接続されている。EL素子35のカソードはアース接続されている。

【0012】

表示パネル11の走査線 $Y_1 \sim Y_n$ は走査パルス供給回路12に接続され、またデータ線 $X_1 \sim X_m$ はデータ信号供給回路13に接続されている。コントローラ15は入力される画像信号に応じて表示パネル11を階調駆動制御するために走査制御信号及びデータ制

御信号を生成する。走査制御信号は走査パルス供給回路12に供給され、データ制御信号はデータ信号供給回路13に供給される。

【0013】

走査パルス供給回路12は、走査制御信号に応じて表示用走査パルスを所定のタイミングで走査線Y1～Ynにその順番で供給し、リセット用走査パルスを所定のタイミングで走査線Y1～Ynにその順番で供給する。その表示用走査パルス及びリセット用走査パルスの供給は入力画像信号のフレーム毎に行われる。走査線毎に1つの表示用走査パルスが供給されてから1/2フレーム期間後にリセット用走査パルスが供給される。

【0014】

データ信号供給回路13は、データ制御信号に応じて走査パルスが供給される走査線上に位置する画素部各々に対する画素データパルスを生成する。その画素データパルスは発光輝度を示すデータ信号である。データ信号供給回路13は、データ線X1～Xmを介して発光駆動すべき画素部（選択画素部）に対して画素データパルス及びリセットパルスを供給する。非発光の画素部に対してはEL素子を発光させることがないレベルの画素データパルス及びリセットパルスを供給する。データ信号供給回路13には、データ線X1～Xm毎に画素データパルス発生部及びリセットパルス発生部が備えられている。例えば、図3に示すように、データ線Xiに対応して画素データパルス発生部21i及びリセットパルス発生部22iが備えられている。画素データパルス発生部はデータ制御信号に応じて画素データパルスを発生してデータ線X1～Xmに供給する。リセットパルス発生部はデータ制御信号に応じてリセットパルスを発生してデータ線X1～Xmに供給する。

【0015】

入力画像信号の各フレームは図4に示すように、表示モードの期間とリセットモードの期間とに分けられている。走査線毎に表示用走査パルスの発生によって表示モードとなり、リセット用走査パルスの発生によって表示モードからリセットモードに変わる。表示モードとリセットモードとは互いに等しい時間的長さを有する。各フレームにおいて表示モードとリセットモードとの位置は走査線毎に走査タイミングに対応して時間方向にずれている。表示モードの期間は発光のための画素データパルスが供給された画素部のEL素子を発光させる。リセットモードの期間は非発光期間であり、ゲートストレスによるゲートスレッショルド電圧Vthのシフトを抑制する期間である。

【0016】

表示モードの期間では、まず、画素データパルス発生部各々から画素データパルスが発生され、データ線X1～Xmに供給される。そのとき表示用走査パルスが印加された走査線が図3に示した画素部であるとして説明すると、TF T31がオンとなり、画素データパルス発生部21iからの画素データパルスがTF T31を介してTF T32のゲートに第1のゲート電圧として供給される。これにより、キャパシタ34が充電され、EL素子35を駆動するTF T32のゲート・ソース間電圧が電圧Vgs-dに設定される。Vgs-d ≤ 0Vであり、EL素子の発光のためにはVgs-d < Vthである。

【0017】

リセット用走査パルスが供給され、表示モードに続くリセットモードになると、それと同時にリセットパルス発生部各々からリセットパルスが発生され、データ線X1～Xmに供給される。表示モードの場合と同様に図3に示した画素部について説明すると、リセット用走査パルスに応じてTF T31がオンとなり、リセットパルス発生部22iからのリセットパルスがTF T31を介してTF T32のゲートに第2のゲート電圧として供給される。これにより、画素部のキャパシタ34が表示モードとは逆極性で充電され、TF T32のゲート・ソース間電圧が電圧Vgs-rに設定される。Vgs-r ≥ 0Vであり、Vgs-r = -Vgs-dの関係がある。

【0018】

表示モード期間のゲート・ソース間電圧Vgs-dの設定範囲とリセットモード期間のゲート・ソース間電圧Vgs-rの設定範囲とは図5に示すように示すことができる。1つの画素部の表示モード期間のゲート・ソース間電圧Vgs-dがV1であれば、それに続くリセット

モード期間のゲート・ソース間電圧 V_{gs-r} は $-V_1$ となる。なお、 V_{max} は V_{gs-d} の設定範囲の絶対値の最大値であり、 $-V_{max}$ は V_{gs-r} の設定範囲の絶対値の最大値である。

【0019】

1つの画素部のフレーム毎の表示モード及びリセットモード各々の駆動TFTのゲート・ソース間電圧は例えば、図6に示す如く変化する。ゲート・ソース間電圧は画素データパルスの振幅値に応じて変化し、ゲート・ソース間電圧に応じたドレイン電流が駆動TFT及びEL素子には流れる。フレーム1～4各々において $V_{gs-r} = -V_{gs-d}$ の関係が得られている。ゲート・ソース間電圧の平均値は0Vとなる。

【0020】

このように、各フレームにおいて駆動TFTにゲート・ソース間電圧 V_{gs-d} が印加されると、それに対応してゲート・ソース間電圧 V_{gs-r} が印加されるので、ゲートストレスを解消させることができ、その結果、ゲートスレッショルド電圧 V_{th} の変動を抑えることができる。

【実施例】

【0021】

図7は本発明の他の実施例として表示装置を示している。この表示装置は、表示パネル41、走査パルス供給回路42、データ信号供給回路43、及びコントローラ45を備えている。

【0022】

表示パネル41は、 $m \times n$ 個の画素からなるアクティブマトリックス型のものであり、各々が平行に配置された複数のデータ線対 X_{1a} , $X_{1b} \sim X_{ma}$, X_{mb} と、複数の走査線対 Y_{1a} , $Y_{1b} \sim Y_{na}$, Y_{nb} と、複数の画素部 $PL_{1,1} \sim PL_{m,n}$ を有している。画素部 $PL_{1,1} \sim PL_{m,n}$ は、データ線対 X_{1a} , $X_{1b} \sim X_{ma}$, X_{mb} と走査線対 Y_{1a} , $Y_{1b} \sim Y_{na}$, Y_{nb} との交差部分に配置され、全て同一の構成を有する。データ線 $X_{1a} \sim X_{ma}$ は画素データパルス用であり、データ線対 $X_{1b} \sim X_{mb}$ はリセットパルス用である。走査線 $Y_{1a} \sim Y_{na}$ は表示走査線であり、走査線 $Y_{1b} \sim Y_{nb}$ はリセット走査線である。

【0023】

複数の画素部 $PL_{1,1} \sim PL_{m,n}$ 各々は図8に示すように、3つのTFT 51～53と、キャパシタ54と、有機EL素子55とを備えている。図8に示した画素部ではそこに関係するデータ線対を X_{ia} , X_{ib} (i は1～ m のうちのいずれか1)、走査線対を Y_{ja} , Y_{jb} (j は1～ n のうちのいずれか1) としている。

【0024】

3つのTFT 51～53各々はPチャネルのものである。TFT 51は表示モード用であり、そのゲートは走査線 Y_{ja} に接続され、そのソースはデータ線 X_{ia} に接続されている。TFT 52はリセットモード用であり、そのゲートは走査線 Y_{jb} に接続され、そのソースはデータ線 X_{ib} に接続されている。TFT 51, 52のドレインにはキャパシタ54の一端と駆動TFT 53のゲートとが接続されている。キャパシタ54の他端とTFT 53のソースとは電源線Zに接続されている。TFT 53のドレインはEL素子55のアノードに接続されている。EL素子55のカソードはアース接続されている。

【0025】

表示パネル41の走査線対 Y_{1a} , $Y_{1b} \sim Y_{na}$, Y_{nb} は走査パルス供給回路42に接続され、またデータ線対 X_{1a} , $X_{1b} \sim X_{ma}$, X_{mb} はデータ信号供給回路43に接続されている。コントローラ45は入力される画像信号に応じて表示パネル11を階調駆動制御するために走査制御信号及びデータ制御信号を生成する。走査制御信号は走査パルス供給回路42に供給され、データ制御信号はデータ信号供給回路43に供給される。

【0026】

走査パルス供給回路42は、走査制御信号に応じて表示用走査パルスを所定のタイミングで走査線 $Y_{1a} \sim Y_{na}$ にその順番で供給し、リセット用走査パルスを所定のタイミングで走査線 $Y_{1b} \sim Y_{nb}$ にその順番で供給する。その各走査パルスの供給は入力画像信号のフレーム毎に行われる。1フレームに対する表示用走査パルスの走査期間とリセット用走

査パルスの走査期間とは長さにおいて同一である。同一フレームに対しては表示用走査パルスによる走査が開始されてから $1/2$ 走査期間だけ遅れてリセット用走査パルスによる走査が開始される。

【0027】

データ信号供給回路 43 は、データ線 $X1a \sim Xma$ 毎に画素データパルス発生部及びデータ線 $X1b \sim Xmb$ 毎にリセットパルス発生部を備えている。例えば、図 8 に示すように、データ線 Xia に対応して画素データパルス発生部 61i が備えられ、データ線 Xib に対応してリセットパルス発生部 62i が備えられている。画素データパルス発生部は、データ制御信号に応じて表示用走査パルスが供給される走査線上に位置する画素部各々に対する画素データパルスを生成し、それをデータ線 $X1a \sim Xma$ を介して各画素部に対して供給する。また、リセットパルス発生部はデータ制御信号に応じてリセット用走査パルスが供給される走査線上に位置する画素部各々に対するリセットパルスを生成し、それをデータ線 $X1b \sim Xmb$ を介して各画素部に対して供給する。非発光の画素部に対しては EL 素子を発光させることがないレベルの画素データパルス及びリセットパルスを供給する。

【0028】

入力画像信号の各フレームは図 9 に示すように、表示モードとリセットモードとに分けられている。表示モードとリセットモードとは互いに等しい時間的長さを有する。各フレームにおいて表示モードとリセットモードとの位置は走査線毎に走査タイミングに対応して時間方向にずれている。この図 9 から分かるように、図 7 の表示装置の走査速度は図 2 に示した表示装置の走査速度（図 4）に比べて $1/2$ になっている。

【0029】

表示モードでは、まず、画素データパルス発生部各々から画素データパルスが発生され、データ線 $X1a \sim Xma$ に供給される。そのとき表示用走査パルスが印加された表示走査線が図 8 に示した画素部であるとして説明すると、表示用走査パルスによって TFT51 がオンとなり画素データパルスに応じて画素部のキャパシタ 54 が充電され、EL 素子 55 を駆動する TFT53 のゲート・ソース間電圧が電圧 V_{gs-d} に設定される。 $V_{gs-d} \leq 0$ V であり、EL 素子の発光のためには $V_{gs-d} < V_{th}$ である。

【0030】

その表示モードに続くリセットモードになると、リセットパルス発生部 621 ~ 62n 各々からリセットパルスが発生され、データ線 $X1b \sim Xmb$ に供給される。表示モードの場合と同様に図 8 に示した画素部について説明すると、リセット用走査パルスによって TFT52 がオンとなり、リセットパルスに応じて画素部のキャパシタ 34 が表示モードとは逆極性で充電され、TFT53 のゲート・ソース間電圧が電圧 V_{gs-r} に設定される。 $V_{gs-r} \geq 0$ V であり、 $V_{gs-r} = -V_{gs-d}$ の関係がある。

【0031】

なお、 $V_{gs-r} = -V_{gs-d}$ ではなくて、 V_{gs-r} はゲートストレスを緩和する電圧に設定しても良い。例えば、 $V_{gs-r} = k \times V_{gs-d}$ とし、 k は任意の負の定数である。或いは $V_{gs-r} = C$ の如く負の固定値 C としても良い。 $V_{gs-r} = -V_{max}/2$ とした場合には、1 つの画素部のフレーム毎の表示モード及びリセットモード各々の駆動 TFT のゲート・ソース間電圧は例えば、図 10 に示す如く変化する。ゲート・ソース間電圧 V_{gs-d} は画素データパルスの振幅値に応じて変化するが、 V_{gs-r} は常時 $-V_{max}/2$ に設定される。

【0032】

上記した各実施例においては、各フレームの表示モードの期間とリセットモードの期間とが等しいが、互いに異なる期間にしても良い。

【0033】

また、上記した各実施例においては、1 フレームを 1 フィールドとして表示する方法について説明したが、1 フレームを複数のフィールドに分割する、いわゆるサブフィールド法を用いて表示パネルを駆動する装置に本発明を適用しても良い。

【0034】

サブフィールド法を用いた表示装置としては、図 7 に示した構成を用い、更に、複数の

画素部 $PL_{1,1} \sim PL_{m,n}$ 各々としては図 8 に示した構成をそのまま用いることができる。入力画像信号の各フレームは例えば、図 11 に示すように、3 つのフィールドに分割されている。また、各フィールドには表示モード期間とリセットモード期間とが設けられている。すなわち、第 1 フィールドには第 1 表示モード及び第 1 リセットモードが存在し、第 2 フィールドには第 2 表示モード及び第 2 リセットモードが存在し、第 3 フィールドには第 3 表示モード及び第 3 リセットモードが存在する。第 1 表示モード及び第 1 リセットモードは互いに等しい時間的長さを有し、他の各モードより短い期間である。第 2 表示モード及び第 2 リセットモードは互いに等しい時間的長さを有する。第 3 表示モード及び第 3 リセットモードは互いに等しい時間的長さを有し、他の各モードより長い期間である。

【0035】

かかるサブフィールド法を用いた表示装置においては、画素部の EL 素子を発光させるフィールドでは、図 12 に示すように、第 1 及び第 2 フィールドの表示モードの期間には TFT 53 のゲート・ソース間電圧は電圧 V_{gs-d} に設定される。この電圧 V_{gs-d} は TFT 53 をオン状態にさせる電圧である。第 1 及び第 2 フィールドのリセットモードの期間には TFT 53 のゲート・ソース間電圧は電圧 $-V_{gs-d} (= V_{gs-r})$ に設定される。一方、画素部の EL 素子を非発光にさせるフィールドでは、第 3 フィールドの表示モードの期間には TFT 53 のゲート・ソース間電圧は 0 V に設定され、TFT 53 をオフ状態にさせる。第 3 フィールドのリセットモードの期間には TFT 53 のゲート・ソース間電圧は 0 V に設定される。ただし、非発光のフィールドでは、TFT 53 をオフ状態にさせるゲート・ソース間電圧であれば、表示モードは 0 V 以外の電圧 V_{off} ($V_{off} < 0$) でも良く、それに対応してリセットモードの期間にはゲート・ソース間電圧は $-V_{off}$ に設定される。

【0036】

図 13 は本発明の他の実施例として画素部を示している。この画素部は図 3 に示した画素部の構成を EL 素子を除いて 2 組（駆動部 A, B）備えられている。すなわち、有機 EL 素子 75 を共通にして駆動部 A は 2 つの TFT 71, 72 と、キャパシタ 74 とを備え、駆動部 B は 2 つの TFT 81, 82 と、キャパシタ 84 とを備えている。1 つの画素部に対して 2 つのデータ線 X_{ia} , X_{ib} と 1 つの走査線 Y_j とが関係する。データ線 X_{ia} は TFT 71 のソースに接続され、データ線 X_{ib} は TFT 81 のソースに接続され、走査線 Y_j は TFT 71, 81 のゲートに接続されている。

【0037】

データ線 X_{ia} には奇数フレームではデータ信号供給回路 93 内の画素データパルス発生部 94 i から画素データパルスがスイッチ 96 i を介して供給され、偶数フレームではデータ線 X_{ia} にはデータ信号供給回路 93 内のリセットパルス発生部 95 i からリセットパルスがスイッチ 96 i を介して供給される。データ線 X_{ib} には奇数フレームではデータ信号供給回路 93 内のリセットパルス発生部 95 i からリセットパルスがスイッチ 97 i を介して供給され、偶数フレームではデータ線 X_{ib} にはデータ信号供給回路 93 内の画素データパルス発生部 94 i から画素データパルスがスイッチ 97 i を介して供給される。

【0038】

よって、入力画像信号の各フレームにおいては図 14 に示すように、フレーム 1 では駆動部 A が表示モード期間となり、画素データパルスに応じて EL 素子 75 を駆動し、駆動部 B がリセットモード期間となり、リセットパルスに応じて駆動 TFT 82 のゲートストレスを解消させる。フレーム 2 では駆動部 A がリセットモード期間となり、リセットパルスに応じて駆動 TFT 72 のゲートストレスを解消させ、駆動部 B が表示モード期間となり、画素データパルスに応じて EL 素子 75 を駆動する。駆動部 A は表示モード期間の TFT 72 のゲート・ソース間電圧が V_{gs-d} であれば、次のフレームのリセットモード期間には TFT 72 のゲート・ソース間電圧 V_{gs-r} は $-V_{gs-d}$ に設定される。同様に、駆動部 B は表示モード期間の TFT 82 のゲート・ソース間電圧が V_{gs-d} であれば、次のフレームのリセットモード期間には TFT 82 のゲート・ソース間電圧 V_{gs-r} は $-V_{gs-d}$ に設定される。

【0039】

なお、上記した各実施例においては、PチャネルTFTを用いた表示パネルについて説明したが、本発明はNチャネルTFTを用いた表示パネルにも適用することもできる。図3に示した実施例では、TFT31のソースはデータ線Xiに接続され、ドレインはキャパシタ34の一端と駆動TFT32のゲートとに接続されているが、TFT31のドレインがデータ線Xiに接続され、ソースがキャパシタ34の一端と駆動TFT32のゲートとに接続される構成でも良い。また、図8に示した実施例のFET51、52及び図13に示した実施例のFET71、81についてもドレインとソースとが逆に接続されても良い。

【0040】

更に、上記した実施例においては、リセット用走査パルスの供給時に選択画素部に薄膜トランジスタのゲート・ソース間電圧を発光駆動時とは逆極性にせしめるためのリセットパルスを個別に供給しているが、そのリセットパルスの個別供給は薄膜トランジスタのゲート・ドレイン間電圧を発光駆動時とは逆極性にせしめるためであっても良い。

【0041】

また、表示パネルの各画素部は上記したデータ設定用TFTと駆動用TFTとの組み合わせによる構成に限らず、電流プログラム方式の回路であっても良い。

【0042】

また、上記した各実施例においては、発光素子として有機EL素子を用いた場合について説明したが、本発明は無機LED、FED(Field Emission Display)等の他の電流駆動タイプの発光素子に適用することができる。

【0043】

以上のように、本発明によれば、EL素子の発光駆動毎に駆動TFTのゲート・ソース電圧を発光駆動時とは逆極性にするようにゲート電圧を印加するので、ゲートストレスを抑制して表示品質の低下を防止することができる。

【図面の簡単な説明】

【0044】

【図1】ゲートスレッショルド電圧の変化及びゲート電圧ードレイン電流特性の変化を各々示す図である。

【図2】本発明の実施例を示すブロック図である。

【図3】図2の装置中の表示パネルの1つの画素部及びそれに対応したデータ信号供給回路内の構成を示す図である。

【図4】フレーム毎の表示モード及びリセットモードの各期間を示す図である。

【図5】表示モード及びリセットモード各々におけるゲート・ソース間電圧の設定範囲を示す図である。

【図6】各フレームの表示モード及びリセットモードにおけるゲート・ソース間電圧を示す図である。

【図7】本発明の他の実施例を示すブロック図である。

【図8】図7の装置中の表示パネルの1つの画素部及びそれに対応したデータ信号供給回路内の構成を示す図である。

【図9】フレーム毎の表示モード及びリセットモードの各期間を示す図である。

【図10】図7の装置の場合の各フレームの表示モード及びリセットモードにおけるゲート・ソース間電圧を示す図である。

【図11】サブフィールド法を適用した場合のフレーム毎の表示モード及びリセットモードの各期間を示す図である。

【図12】サブフィールド法を適用した場合の各フレームの表示モード及びリセットモードにおけるゲート・ソース間電圧を示す図である。

【図13】本発明の他の実施例として図7の装置中の表示パネルの1つの画素部及びそれに対応したデータ信号供給回路内の構成を示す図である。

【図14】図13の実施例におけるフレーム毎の表示モード及びリセットモードの各

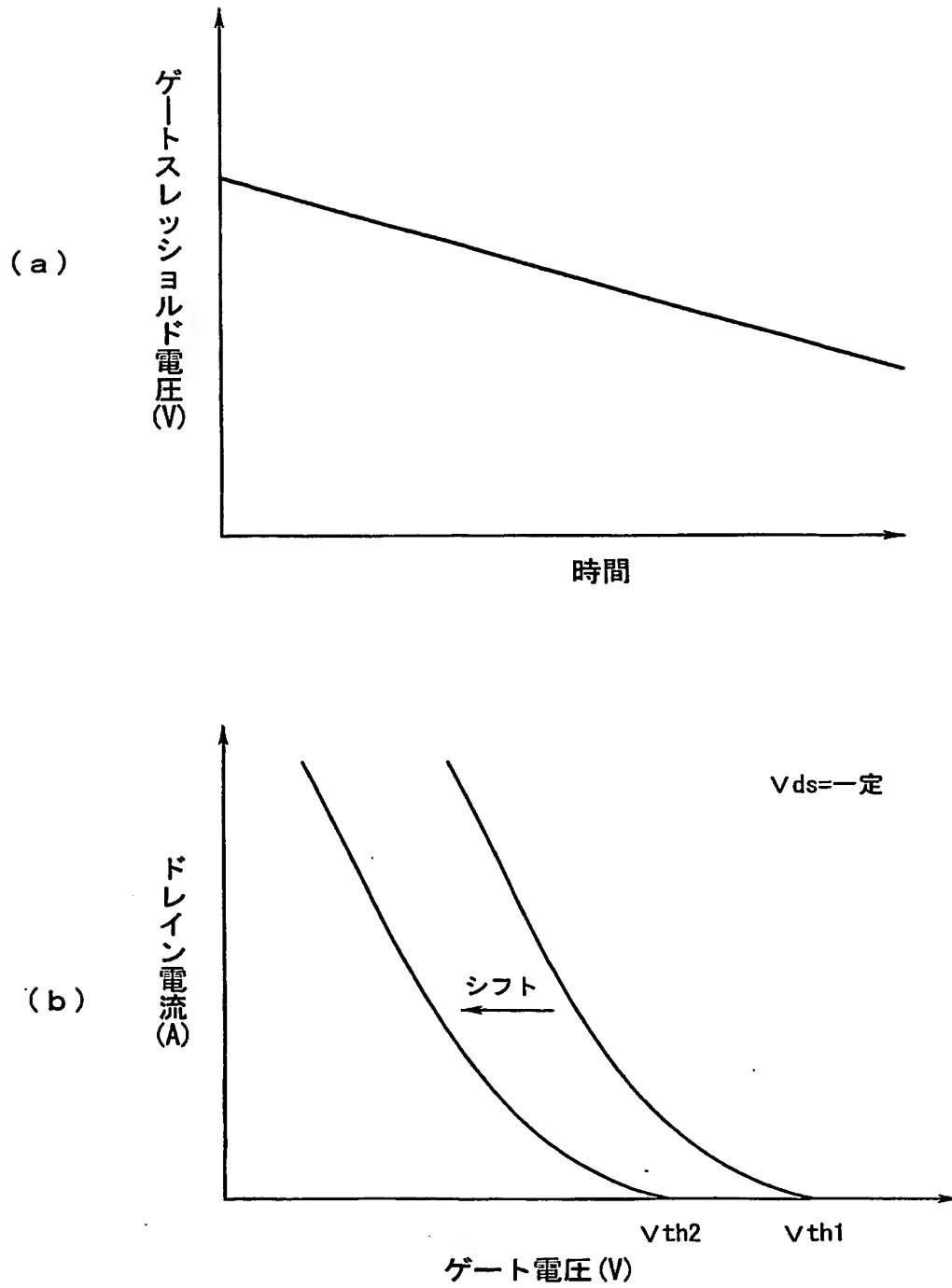
期間を示す図である。

【符号の説明】

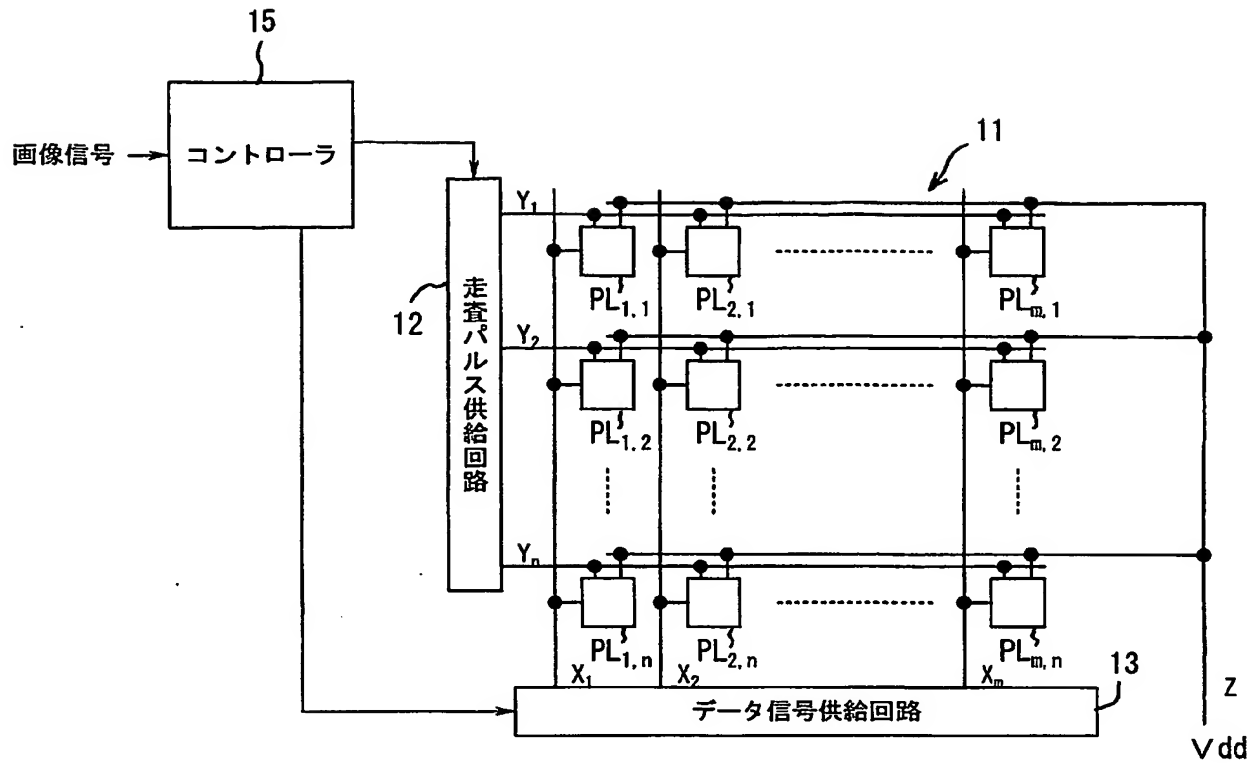
【 0 0 4 5 】

- 1 1, 4 1 表示パネル
- 1 2, 4 2 走査パルス供給回路
- 1 3, 4 3 データ信号供給回路
- 1 5, 4 5 コントローラ

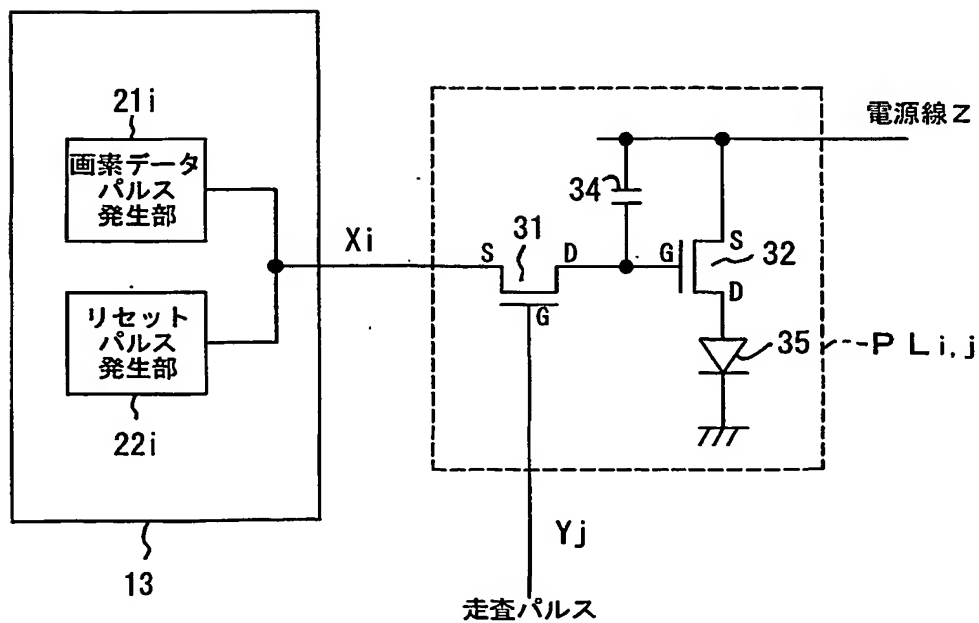
【書類名】 図面
【図 1】



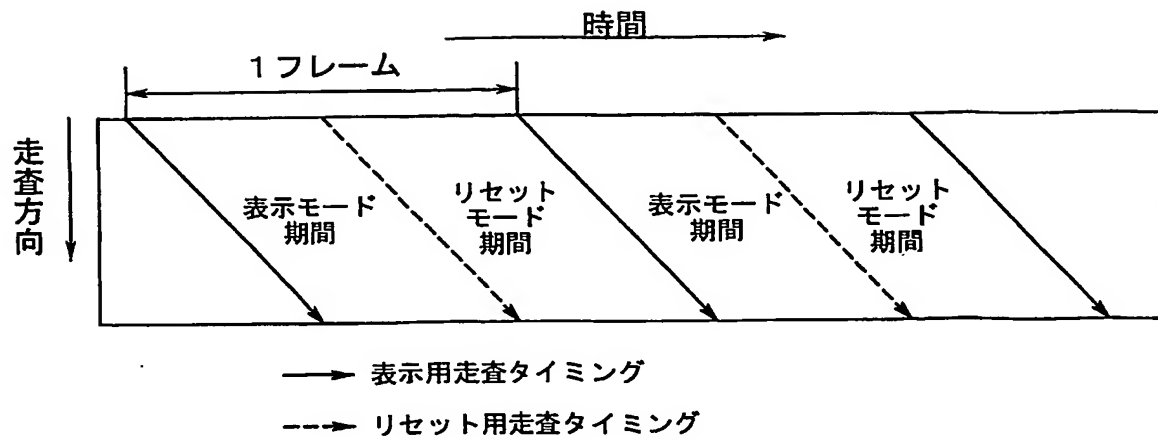
【図 2】



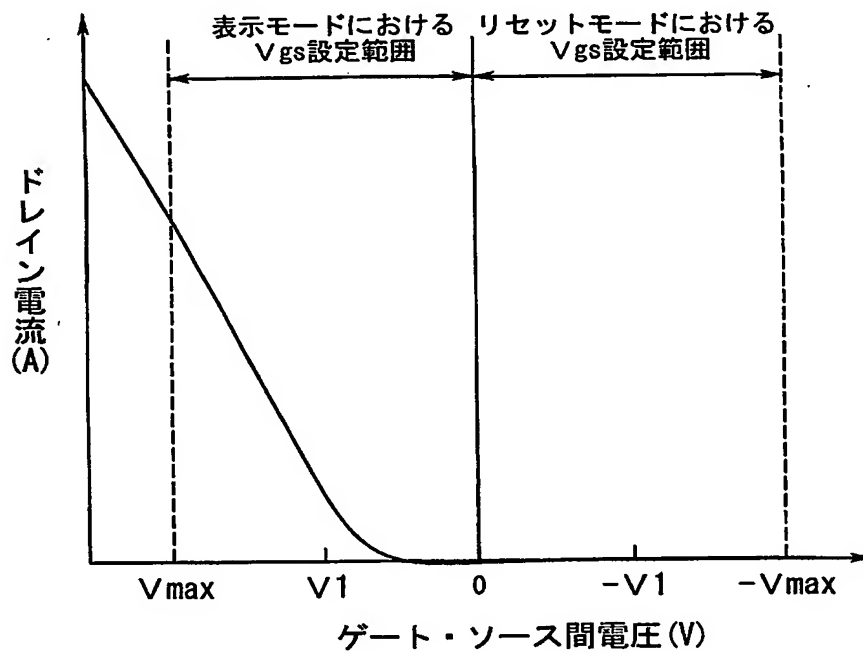
【図 3】



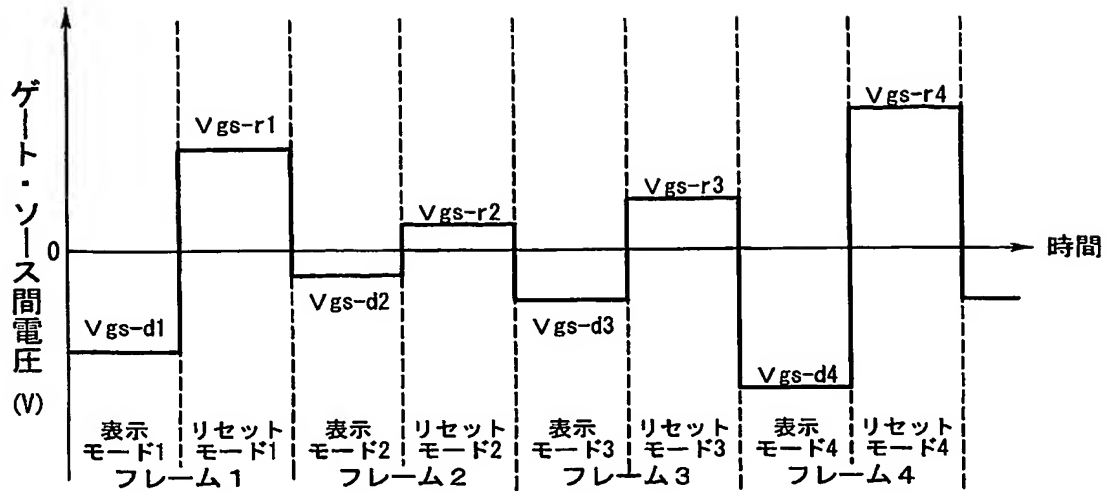
【図 4】



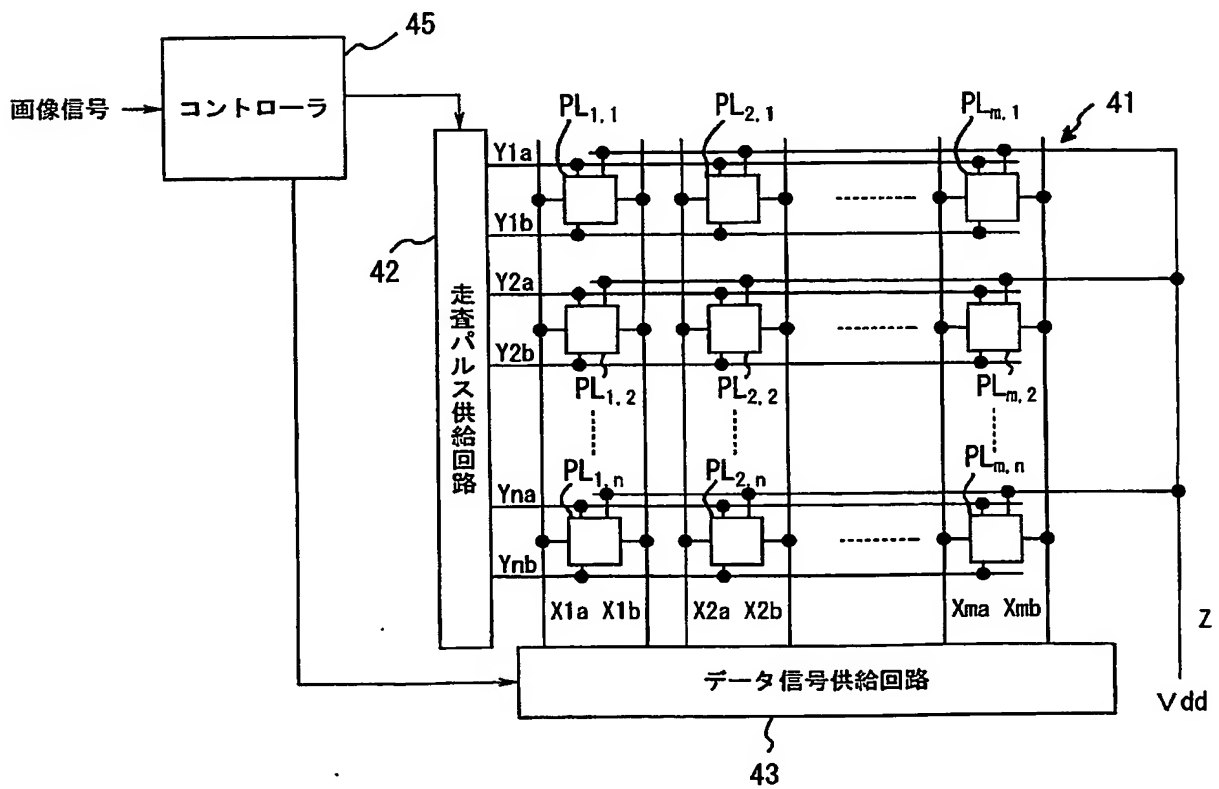
【図 5】



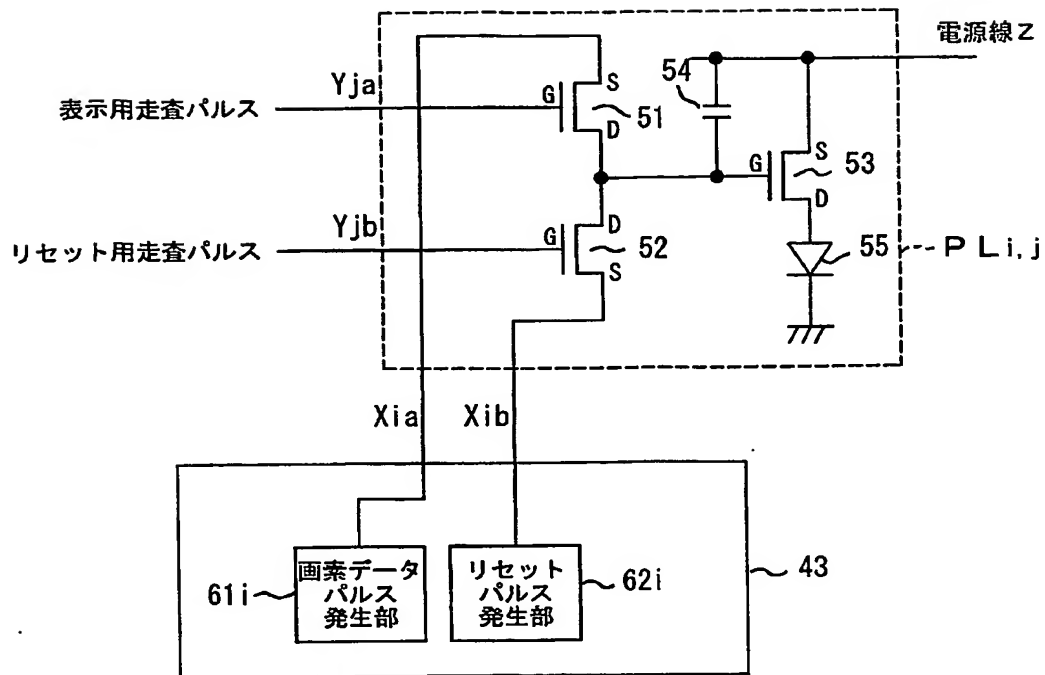
【図 6】



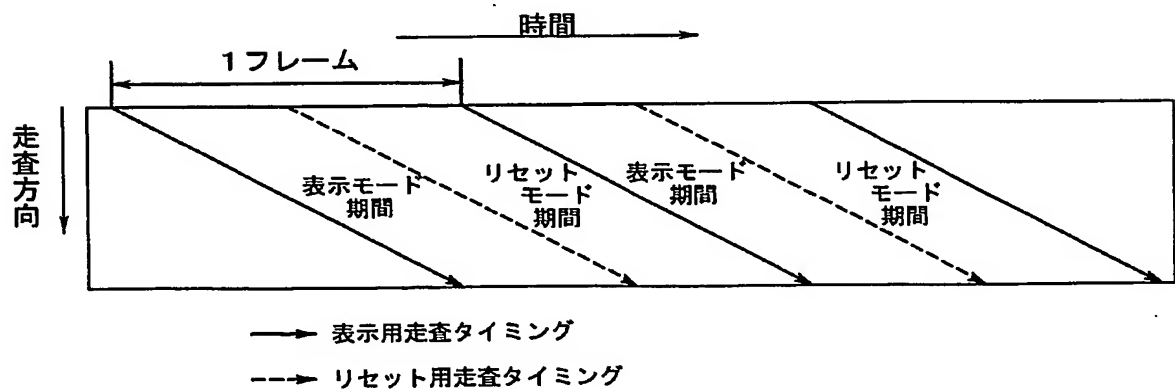
【図 7】



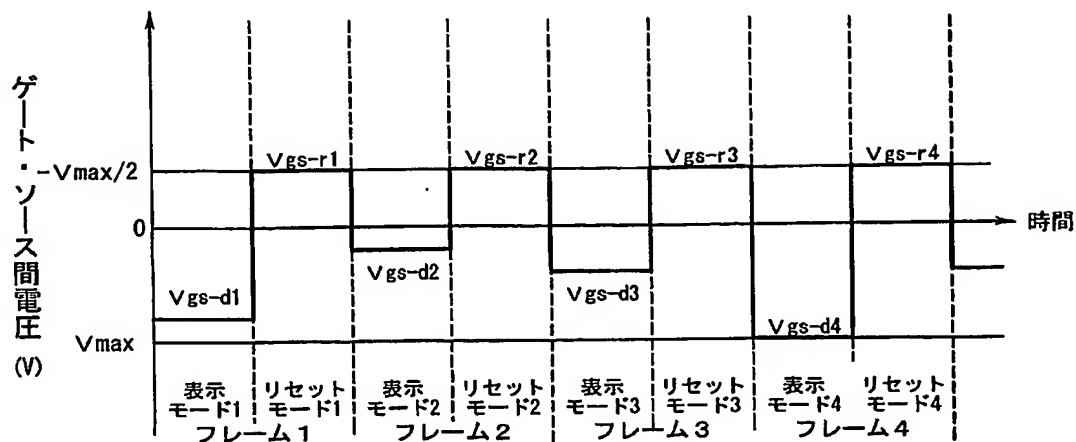
【図 8】



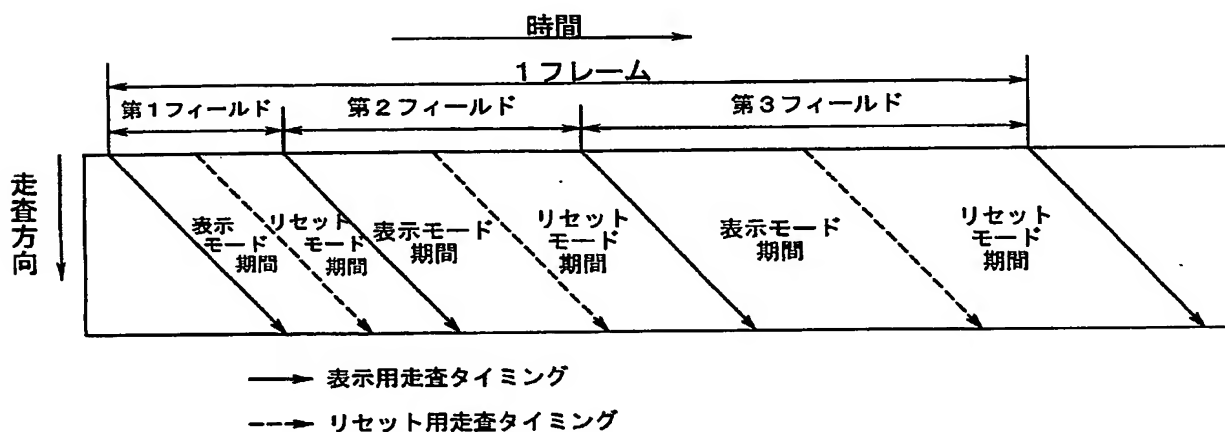
【図 9】



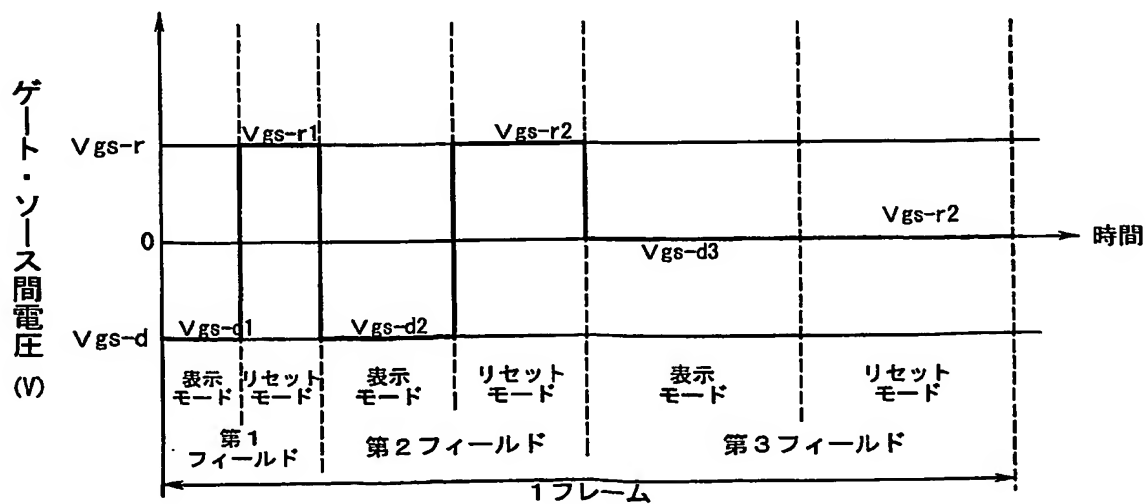
【図10】



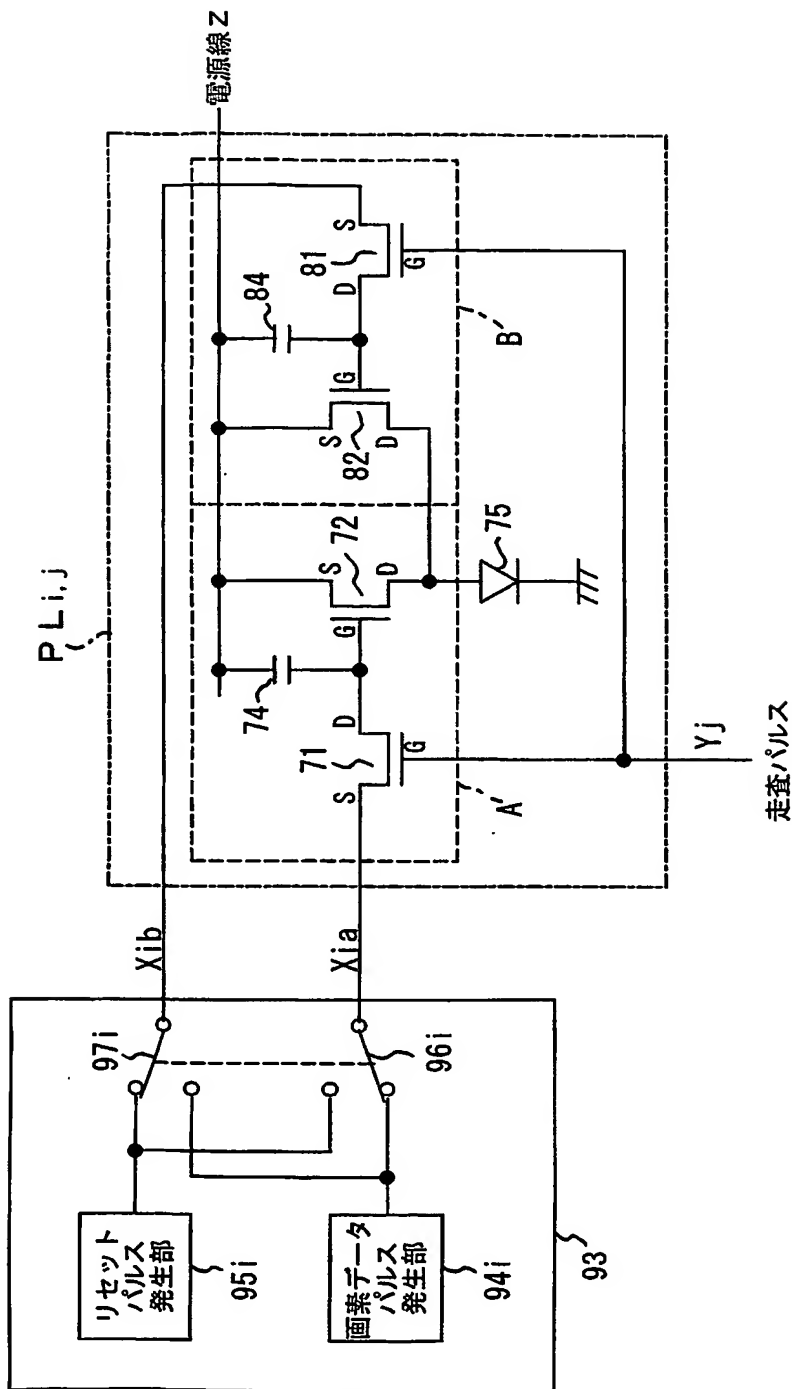
【図11】



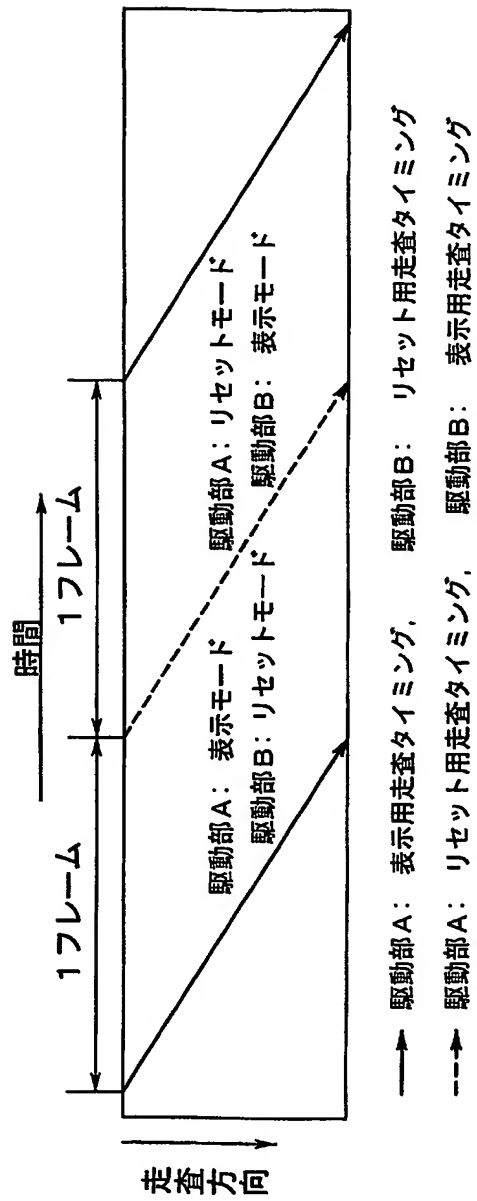
【図12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 ゲートストレスを抑制して表示品質の低下を防止することができるアクティブマトリックス表示パネルを備えた表示装置及びその駆動方法を提供する。

【解決手段】 入力画像信号に応じてフレーム毎に表示パネルの複数行のうちから 1 の行を所定のタイミングで順次指定してその 1 の行内の各画素部に表示用走査パルスを供給し、表示用走査パルスの供給時に 1 の行内の発光すべき発光素子を有する選択画素部に薄膜トランジスタの第 1 のゲート電圧を示すデータパルスを個別に供給し、その後、1 の行内の各画素部にリセット用走査パルスを供給し、リセット用走査パルスの供給時に選択画素部に薄膜トランジスタのゲート・ソース間電圧又はゲート・ドレイン間電圧を発光駆動時とは逆極性にせしめるための薄膜トランジスタの第 2 のゲート電圧を示すリセットパルスを個別に供給する。

【選択図】 図 3

特願 2 0 0 3 - 3 4 4 2 5 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 1 6]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都目黒区目黒1丁目4番1号

氏 名

パイオニア株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.